

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   2 月 1 4 日  
Date of Application:

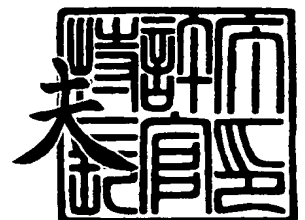
出 願 番 号            特 願 2 0 0 3 - 0 3 5 9 4 0  
Application Number:  
[ST. 10/C] :            [ J P 2 0 0 3 - 0 3 5 9 4 0 ]

出   願   人            ソニー株式会社  
Applicant(s):

2 0 0 3 年 1 0 月 2 9 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 0290674501

【提出日】 平成15年 2月14日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/336

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
内

【氏名】 森川 隆史

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
内

【氏名】 柏木 章秀

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
内

【氏名】 加藤 孝義

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
内

【氏名】 平野 智之

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100086298

【弁理士】

【氏名又は名称】 船橋 國則

【電話番号】 046-228-9850

【手数料の表示】

【予納台帳番号】 007364

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904452

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 基板上に窒素を含有する酸化膜をゲート絶縁膜として形成する第 1 工程と、

酸素を含有する雰囲気中において前記ゲート絶縁膜をアニール処理する第 2 工程と、

酸素を含まない不活性な雰囲気中において前記ゲート絶縁膜をアニール処理する第 3 工程と、

前記 2 回のアニール処理が施されたゲート絶縁膜上に電極膜を形成する第 4 工程とを行う

ことを特徴とする半導体装置の製造方法。

【請求項 2】 請求項 1 記載の半導体装置の製造方法において、

前記第 2 工程の酸素を含有する雰囲気は、減圧された酸素ガス雰囲気か、または酸素ガスと不活性なガスとを混合してなる雰囲気である

ことを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 1 記載の半導体装置の製造方法において、

前記第 3 工程は、9 0 0 ℃以上、1 2 0 0 ℃以下の温度で行われる

ことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は半導体装置の製造方法に関し、特には微細化が進んだ M O S 型の半導体装置におけるゲート絶縁膜の製造方法に関する。

【0 0 0 2】

【従来の技術】

半導体装置の高集積化および高機能化の要求にともない、M O S 型シリコン半導体装置においては、ムーアのスケーリング則に沿ったデバイス構造の微細化が推し進められている。近年、C M O S 構成の半導体装置においては、このような

微細化によるデバイス特性向上の限界を打破するため、P型MOSトランジスタ（以下PMOS）にはP型不純物を含んだゲート電極を用い、N型MOSトランジスタ（以下NMOS）にはN型不純物を含んだゲート電極を用いる、いわゆるデュアル・ゲート構造が適用されている。

#### 【0003】

しかしながら、デュアル・ゲート構造を有する半導体装置においては、PMOSのゲート電極中にP型不純物として含有されているボロン（B）が、デバイス構造の微細化にともなって薄膜化したゲート絶縁膜を突きぬけて基板に拡散することにより、キャリアの移動度の低下や固定電荷の増大等のデバイス特性に対する悪影響が生じることが知られている。

#### 【0004】

そこで、デュアル・ゲート・プロセスにおいては、ボロンの突き抜けを抑制するためにゲート絶縁膜を窒化することが広く行われており、デバイス特性を劣化させないための窒素濃度の工夫等も行われている（例えば下記特許文献1参照）。

#### 【0005】

##### 【特許文献1】

特開 2001-291865

#### 【0006】

##### 【発明が解決しようとする課題】

ところが、ゲート絶縁膜に窒素を導入することで、新たにNBTI（Negative-Bias-Temperature-Instability）と呼ばれる現象が生じることが問題となってきている。NBTIは、ゲート絶縁膜中の窒素が、熱拡散によって基板界面に到達してホールのトラップとなって、正の固定電荷またはキャリアの散乱因子となり、PMOSにおけるキャリアの移動度や閾値が徐々に変動する現象であり、半導体装置の寿命を著しく低下させる要因にもなっている。

#### 【0007】

そこで本発明は、上述したゲート絶縁膜に窒素を導入したMOSトランジスタ

において、NBTI現象の発生を抑制することが可能な半導体装置の製造方法を提供することを目的とする。

#### 【0008】

##### 【課題を解決するための手段】

このような目的を達成するための本発明の半導体装置の製造方法は、次の手順で行うことを特徴としている。先ず、第1工程では、基板上に窒素を含有する酸化膜をゲート絶縁膜として形成する。その後、第2工程では、酸素を含有する雰囲気中においてゲート絶縁膜をアニール処理する。また、第2工程と前後して行われる第3工程では、酸素を含まない不活性な雰囲気中において前記ゲート絶縁膜をアニール処理する。以上の後、第4工程では、2回のアニール処理が施されたゲート絶縁膜上に電極膜を形成する。

#### 【0009】

このような製造方法では、窒素を含む酸化膜からなるゲート絶縁膜を、酸素を含有する雰囲気中でアニール処理することで、窒化の導入によってゲート絶縁膜中に生成されるOH基などのホールのトラップが、当該ゲート絶縁膜中から排出される。これと共に、基板とゲート絶縁膜との界面の構造の乱れが回復されるため、界面順位が低減される。また、このゲート絶縁膜を、酸素を含まない不活性な雰囲気中においてアニール処理することで、ゲート絶縁膜中に存在する結合の不安定な窒素がゲート絶縁膜の外部に排出される。またこれと共に、結合の不安定な窒素とゲート絶縁膜を構成する酸化物との結合状態の安定化が図られる。これにより、ホールのトラップに寄与する不安定な窒素（正の固定電荷）が、ゲート絶縁膜中から除外される。

#### 【0010】

##### 【発明の実施の形態】

以下、本発明の半導体装置の製造方法を、図1、図2の断面工程図に基づいて詳細に説明する。ここでは、デュアル・ゲート構造を有するCMOS構成の半導体装置の製造に本発明を適用した実施の形態を説明する。

#### 【0011】

先ず、図1（a）に示すように、単結晶シリコンからなる基板1上にフィール

ド酸化膜(素子分離領域) 3 を形成し、基板 1 の表面側を NMOS 領域 a と PMOS 領域 b とに分離する。次に、基板 1 の露出表面に犠牲酸化膜 5 を形成し、この犠牲酸化膜 5 を介してのイオン注入により、NMOS 領域 a に p-ウェル 7 を形成し、PMOS 領域に n-ウェル 9 を形成する。そして、NMOS 領域 a と PMOS 領域 b とにそれぞれ閾値制御のための不純物をイオン注入によって導入する。

#### 【0012】

以上の一連の工程を、通常の CMOS プロセスを適用して行った後、図 1 (b) に示すように、基板 1 表面の犠牲酸化膜 (5) を剥離し、基板 1 表面を露出させる。

#### 【0013】

その後、図 1 (c)、図 1 (d) に示すように、基板 1 上に窒素を含む酸化膜 (いわゆる酸窒化シリコン膜) からなるゲート絶縁膜 11 を形成する。このようなゲート絶縁膜 11 の形成は、例えば次の①～③のいずれかの方法によって行われる。

#### 【0014】

①の方法は、先ず、図 1 (c) に示すように、窒素を含まない酸化膜 (酸化シリコン膜) 10 を形成する。その後、プラズマ窒化処理を行うことで酸化膜 10 中に窒素を導入し、図 1 (d) に示すように酸窒化シリコンからなるゲート絶縁膜 11 を形成する。

#### 【0015】

②の方法は、先ず、図 1 (c) に示すように、窒素を含まない酸化膜 (酸化シリコン膜) を形成する。その後、一酸化窒素 (NO) ガスまたは一酸化二窒素 ( $N_2O$ ) ガス雰囲気中においてアニール処理を行うことにより、図 1 (d) に示すように酸化膜を窒化させた酸窒化シリコンからなるゲート絶縁膜 11 を形成する。このアニール処理は、ファーネスアニールおよび RTA (Rapid Thermal Annealing) のいずれかの処理であって良い。

#### 【0016】

③の方法は、NO ガスまたは  $N_2O$  ガス雰囲気中でのファーネス酸化 (オキシ

レーション)によって、図1(d)に示すように、基板1表面を窒化酸化させて酸窒化シリコンを成長させ、これをゲート絶縁膜11とする。

#### 【0017】

以上のいずれか1つの方法によって、基板1の表面に酸窒化シリコンからなるゲート絶縁膜11を形成した後、本発明に特徴的な第1のアニール処理と第2のアニール処理との2回のアニール処理を行う。尚、第1のアニール処理と第2のアニール処理とは、どちらを先に行っても良い。

#### 【0018】

まず、第1のアニール処理は、酸素を含む雰囲気中で行う。このアニール処理は、例えばRTAやファーネスアニールによって行われる。ところで、このアニール処理においては、ゲート絶縁膜11と基板1との界面において酸化が進む。このため、本第1のアニール処理は、この酸化によるゲート絶縁膜11の厚膜化とゲート絶縁膜11中における窒素の偏析とを抑えられるように、処理雰囲気中における酸素の圧力条件と温度条件を適宜設定して行われることとする。

#### 【0019】

このような条件設定の一例として、RTAを行う場合は、 $6.66 \times 10^2 \text{ Pa} \sim 1.33 \times 10^4 \text{ Pa}$ に減圧した酸素ガス雰囲気内において、 $900^\circ\text{C} \sim 1000^\circ\text{C}$ で30秒程度の処理を行う。これにより、酸化によるゲート絶縁膜11の膜厚増加は0.5nm以下に抑えられる。

#### 【0020】

また、第1のアニール処理は、窒素または不活性ガスなどSiとの反応性を持たない不活性なガスを酸素ガスと混合した混合ガス雰囲気中に行っても良い。この場合、処理雰囲気は減圧状態でも良いし、常圧状態であっても良く、酸素ガスと不活性なガスとの分圧と温度条件とによって、上述した酸化によるゲート絶縁膜11の厚膜化とゲート絶縁膜11中における窒素の偏析とを抑えることとする。

#### 【0021】

一方、第2のアニール処理は、酸素を含まない不活性な雰囲気中で行う。このアニール処理は、例えばRTAやファーネスアニールによって行われる。ここで



、酸素を含まない不活性な雰囲気とは、酸化によるゲート絶縁膜 11 の膜厚増加が起こらない程度の不活性な雰囲気であることとする。したがって、処理雰囲気は、窒素ガスやアルゴン等の不活性ガスの減圧または常圧雰囲気、さらには真空雰囲気であることとする。そして、ゲート絶縁膜 11 の膜厚増加が起こらない範囲であれば微量の酸素を含んでいても良く、例えば使用するガスに製造上混入する不純物としての 10 p p b (体積 p p b) 以下の微量酸素を含んでいてもよい。

#### 【0022】

また、この第 2 のアニール処理は、ここで形成される MOS トランジスタの特性を維持するために、ゲート絶縁膜 11 中の窒素が大きく再分布することのない温度範囲で行うこととする。このため、第 2 のアニール処理は、900℃～1200℃の範囲で行うこととする。

#### 【0023】

このような第 2 のアニール処理の一例としては、例えば R T A を行う場合には、減圧した窒素雰囲気内において、1000℃で 20 秒程度の処理を行う。

#### 【0024】

尚、以上説明した第 1 のアニール処理と第 2 のアニール処理とは、同一の処理室内において連続して行っても良いし、別の装置で別々に処理してもよい。また、第 1 のアニール処理と第 2 のアニール処理との間で、基板 1 を大気開放しても良いし、洗浄などの他の工程をいれても良い。

#### 【0025】

そして以上の 2 回のアニール処理が終了した後、図 2 (e) に示すように、基板 1 上の全面に例えばポリ・シリコンからなる電極膜 13 として形成する。

#### 【0026】

次に、図 2 (f) に示すように、電極膜 13 を所望のパターンに加工してゲート電極 14 を形成する。この際、フォトリソグラフィ工程によって形成したレジストパターン (図示省略) をマスクにして電極膜 13 をパターンエッチングし、エッチング終了後にレジストパターンを除去する。

#### 【0027】

次いで、図2（g）に示すように、ゲート電極14およびここでの図示を省略したレジストパターンをマスクにしたイオン注入により、NMOS領域aとPMOS領域bとにLDD拡散層15a、15bを形成するための不純物を導入する。この際、NMOS領域aにはN型不純物としてリン（P）を導入し、PMOS領域bにはP型不純物としてボロン（B）を導入する。その後、各ゲート電極14の側壁に、例えば酸化シリコンからなるサイドウォール絶縁膜17を形成する。尚、このサイドウォール絶縁膜17を形成する際の酸化シリコン膜のエッチバック工程で、基板1上のゲート絶縁膜11が除去される。

#### 【0028】

次に、ゲート電極14、サイドウォール絶縁膜17およびここでの図示を省略したレジストパターンをマスクにしたイオン注入により、NMOS領域aとPMOS領域bとにソース／ドレイン拡散層19a、19bを形成するための不純物を導入する。この際、例えばNMOS領域aにはN型不純物としてリン（P）を導入し、PMOS領域bにはP型不純物としてボロン（B）を導入する。

#### 【0029】

また、以上のような2回のイオン注入により、NMOS領域aのゲート電極14a内にN型不純物としてリン（P）を導入し、PMOS領域bのゲート電極14b内にP型不純物としてボロン（B）を導入する。

#### 【0030】

以上により、基板1の表面側に、NMOS21aとPMOS21bとを設けとなる半導体装置23を形成する。この半導体装置23は、NMOS21aのゲート電極14aにN型不純物が導入され、PMOS21bのゲート電極14bにP型不純物が導入されたデュアル・ゲート構造になる。

#### 【0031】

以上説明した製造方法によれば、図1（d）を用いて説明したように、酸化シリコンからなるゲート絶縁膜11を形成した後、このゲート絶縁膜11に対して酸素を含有する雰囲気中でアニール処理（第1のアニール処理）を施すことで、窒素の導入によってゲート絶縁膜11中に生成されるOH基などのホールのトラップを、当該ゲート絶縁膜11中から排出することができる。これと共に、基

板 1 とゲート絶縁膜 11 との界面の結晶状態の乱れが回復されるため、界面順位が低減される。

#### 【0032】

また、このゲート絶縁膜 11 に対して、酸素を含まない不活性な雰囲気中においてアニール処理（第 2 のアニール処理）を施すことで、ゲート絶縁膜 11 中に存在する結合の不安定な窒素を、ゲート絶縁膜 11 の外部に排出することができる。またこれと共に、ゲート絶縁膜 11 中において結合の不安定な窒素と酸化物（酸化シリコン）との結合状態の安定化を図ることができる。これにより、ホールのトラップに寄与する不安定な窒素（正の固定電荷）を、ゲート絶縁膜中から除外することができる。

#### 【0033】

そして、以上のような 2 回のアニール処理により、ゲート絶縁膜 11 中からホールのトラップ因子を除去し、基板 1 との界面の結晶状態の乱れを回復させることで、NBTI の発生を抑えることが可能になる。

#### 【0034】

特に、本実施形態で説明した本発明の製造方法によれば、製造工程や素子構造を変更することなく、すなわち製造工程に第 1 のアニール処理および第 2 のアニール処理を追加するのみで、上述した NBTI の改善が可能である。

#### 【0035】

また、これにより、半導体装置を高信頼性（長寿命）化することができる。つまり、NBTI による MOS トランジスタの特性変動を小さくできるので、特性変動により装置が動作しなくなるまでの寿命が長く、安定して動作する半導体装置を製造できる。

#### 【0036】

またさらに、半導体装置を高性能化することができる。つまり、MOS トランジスタの特性変動が大きいと、変動した後も動作するようにマージンを大きくとって設計する必要がある。マージンを大きく取って設計すると、デバイスの性能は劣化する。このため、特性変動の小さな MOS トランジスタを用いることにより、高性能の（例えば高速な）デバイスの設計及び製造が可能となる。

## 【 0 0 3 7 】

以上実施形態においては、本発明を C M O S 構成の半導体装置の製造方法に適用した場合を説明した。しかし、本発明は、窒素を含有する酸化膜をゲート絶縁膜に用いた半導体装置に広く適用可能であり、N B T I の発生防止といった同様の効果を得ることが可能になる。

## 【 0 0 3 8 】

## 【発明の効果】

以上説明したように本発明の半導体装置の製造方法によれば、窒素を含有する酸化膜からなるゲート絶縁膜に対して、酸素を含有する雰囲気中と酸素を含まない不活性な雰囲気中とにおいて 2 回のアニール処理を施すようにしたことで、製造工程や素子構造を変更することなく、ゲート絶縁膜中からホールのトラップ因子を除去し、基板との界面における結晶状態の乱れを回復させて N B T I の発生を抑えることが可能になる。

## 【図面の簡単な説明】

## 【図 1】

本発明の製造方法を説明するための断面工程図（その 1）である。

## 【図 2】

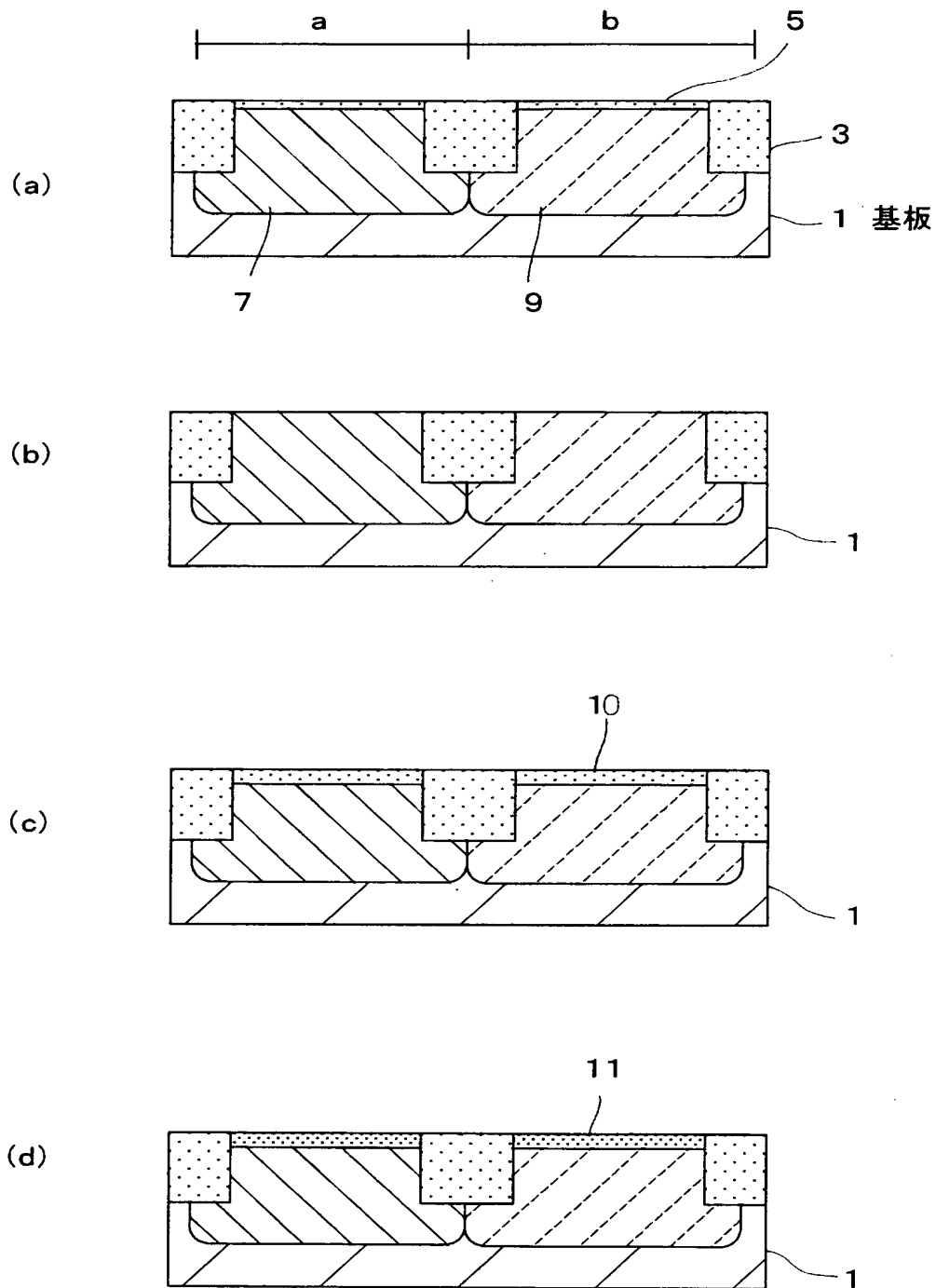
本発明の製造方法を説明するための断面工程図（その 2）である。

## 【符号の説明】

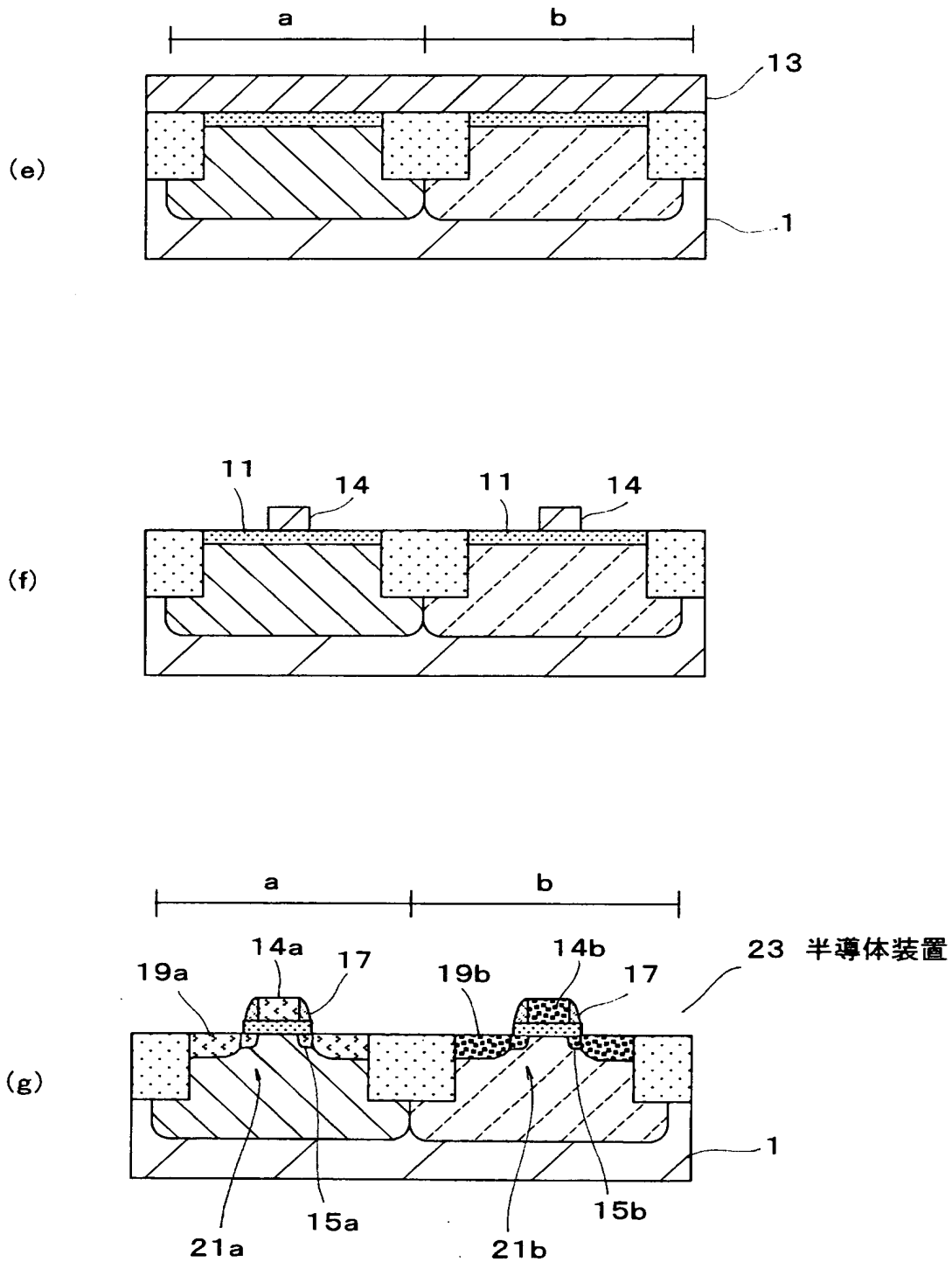
1 …基板、1 1 …ゲート絶縁膜、1 3 …電極膜

【書類名】 図面

【図 1】



【図 2】



【書類名】 要約書

【要約】

【課題】 窒素を含有する酸化膜をゲート絶縁膜に用いたMOSトランジスタにおいて、NB T I 現象の発生を抑制することが可能な半導体装置の製造方法を提供する。

【解決手段】 基板 1 上に窒素を含有する酸化膜をゲート絶縁膜 1 1 として形成する。酸素を含有する雰囲気中においてゲート絶縁膜 1 1 をアニール処理する。酸素を含まない不活性な雰囲気中においてゲート絶縁膜 1 1 をアニール処理する。これらの 2 回のアニール処理が施されたゲート絶縁膜 1 1 上に電極膜 1 3 を形成し、電極膜 1 3 のパターニングによるゲート電極の形成、L D D の形成、サイドウォール絶縁膜の形成、ソース・ドレインの形成を行う。

【選択図】 図 1

特願 2 0 0 3 - 0 3 5 9 4 0

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 2 1 8 5 ]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都品川区北品川 6 丁目 7 番 3 5 号

氏 名

ソニー株式会社